

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-037443

(43)Date of publication of application : 07.02.1990

(51)Int.Cl. G06F 12/02

(21)Application number : 63-187284 (71)Applicant : NEC CORP

(22)Date of filing : 27.07.1988 (72)Inventor : NISHIYAMA TAICHI

(54) MAIN STORAGE MANAGEMENT SYSTEM FOR ELECTRONIC COMPUTER SYSTEM

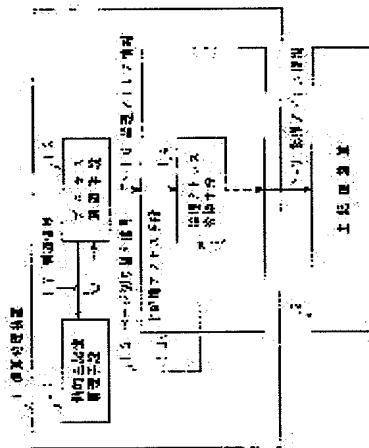
(57)Abstract:

PURPOSE: To reduce the overhead for process replacement or the like and to improve the performance of a system by using physical pages, which are not mapped on logical pages, to preserve processes.

CONSTITUTION: A logical address converting means 14 converts a logical address to a physical address at the time of accessing a main storage from software.

Information managed by a dynamic main storage management means 11 and the logical address converting means 14 is so changed that this information indicates that logical pages assigned to a process are not mapped on logical pages and the process is preserved in these assigned physical pages, thereby releasing the logical address space of the process.

Information managed by the dynamic main storage management means 11 and the logical address converting means 14 is so changed that this information indicates that logical pages where the process is preserved are mapped on logical pages, thereby assigning the logical address space to the process. Thus, the performance of the system is improved.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平2-37443

⑫ Int. Cl. 5
G 06 F 12/02

識別記号 庁内整理番号
A 8841-5B

⑬ 公開 平成2年(1990)2月7日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 電子計算機システムにおける主記憶管理方式

⑮ 特願 昭63-187284
⑯ 出願 昭63(1988)7月27日

⑰ 発明者 西山 太一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 境 廣巳

明細書

1. 発明の名称

電子計算機システムにおける主記憶管理方式

2. 特許請求の範囲

複数のプロセスを並行して実行する電子計算機システムにおける主記憶管理方式において、

固定長の論理ページに分割された論理アドレス空間の使用状況および前記論理アドレス空間より大きなサイズを持ち且つ前記論理ページと同一サイズの物理ページに分割された物理アドレス空間の使用状況を管理する動的主記憶管理手段と、

前記論理ページの前記物理ページへのマッピング状況を管理し、論理アドレスを物理アドレスに変換する論理アドレス変換手段とを備え、

プロセスに対する論理アドレス空間の解放時、該プロセスに割り当てられていた物理ページが論理ページにマッピングされず且つ該プロセスがその割り当てられていた物理ページに保存されたことを示すように前記動的主記憶管理手段と前記論理アドレス変換手段とで管理される情報の変更を

行い、プロセスに対する論理アドレス空間の割り当て時、該プロセスを保存している物理ページが論理ページにマッピングされたことを示すように前記動的主記憶管理手段と前記論理アドレス変換手段とで管理される情報の変更を行うことを特徴とする電子計算機システムにおける主記憶管理方式。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は電子計算機システムにおける主記憶管理方式に関する。

【従来の技術】

一般に電子計算機システムにおいては、連続したアドレス空間であってマシンで使用できる論理アドレス空間の最大サイズはその電子計算機システムのアーキテクチャによって決定される。そして、実記憶方式を採用した従来の電子計算機システムでは、論理アドレス空間のサイズに等しいか或いはそれ以下のサイズを持つ物理アドレス空間（主記憶のアドレス空間）を使用し、論理アド

レス空間と物理アドレス空間との対応付けを行うことにより論理アドレス空間に割り当てられたプロセスを物理アドレス空間上にも割り付けて実行するようにしている。また、論理アドレス空間に空きの領域を作る為にプロセスから論理アドレス空間の割り当てを解放する場合、またはその反対に或るプロセスに論理アドレス空間を割り当てる場合、従来は、主記憶の物理アドレス空間上に存在するプロセスを外部記憶装置へ書き出し、または外部記憶装置に格納されたプロセスを主記憶の物理アドレス空間へロードしている。

〔発明が解決しようとする課題〕

しかしながら、外部記憶装置は主記憶に比べて桁違いにアクセス時間が遅いので、頻繁に外部記憶装置と主記憶との間でプロセスの出し入れを行うと、電子計算機システムの性能を著しく低下させることになる。

本発明は、このような事情に鑑みて為されたものであり、その目的は、ソフトウェアからアクセス可能な論理アドレス空間のサイズ以上の主記憶

(物理アドレス空間) を実装し、且つ、その全ての領域を有効に使用することができる電子計算機システムにおける主記憶管理方式を提供することにある。

〔課題を解決するための手段〕

本発明は上記の目的を達成するために、複数のプロセスを並行して実行する電子計算機システムにおける主記憶管理方式において、固定長の論理ページに分割された論理アドレス空間の使用状況および前記論理アドレス空間より大きなサイズを持ち且つ前記論理ページと同一サイズの物理ページに分割された物理アドレス空間の使用状況を管理する動的主記憶管理手段と、前記論理ページの前記物理ページへのマッピング状況を管理し、論理アドレスを物理アドレスに変換する論理アドレス変換手段とを備え、プロセスに対する論理アドレス空間の解放時、そのプロセスに割り当てられていた物理ページが論理ページにマッピングされず且つそのプロセスがその割り当てられていた物理ページに保存されたことを示すように前記動的

主記憶管理手段と前記論理アドレス変換手段とで管理される情報の変更を行い、プロセスに対する論理アドレス空間の割り当て時、そのプロセスを保存している物理ページが論理ページにマッピングされたことを示すように前記動的主記憶管理手段と前記論理アドレス変換手段とで管理される情報の変更を行うように構成される。

〔作用〕

本発明の電子計算機システムにおける主記憶管理方式においては、動的主記憶管理手段が、固定長の論理ページに分割された論理アドレス空間の使用状況および前記論理アドレス空間より大きなサイズを持ち且つ前記論理ページと同一サイズの物理ページに分割された物理アドレス空間の使用状況を管理し、論理アドレス変換手段が、論理ページの物理ページへのマッピング状況を管理してソフトウェアからの主記憶へのアクセス時に論理アドレスを物理アドレスに変換し、プロセスに対する論理アドレス空間の解放は、そのプロセスに割り当てられていた物理ページが論理ページにマ

ッピングされず且つそのプロセスがその割り当てられていた物理ページに保存されたことを示すように動的主記憶管理手段と論理アドレス変換手段とで管理される情報を変更することにより行われ、プロセスに対する論理アドレス空間の割り当ては、そのプロセスを保存している物理ページが論理ページにマッピングされたことを示すように動的主記憶管理手段と論理アドレス変換手段とで管理される情報を変更することにより行われる。

〔実施例〕

次に、本発明の実施例について図面を参照して詳細に説明する。

第1図は本発明を適用した電子計算機システムの要部ブロック図であり、1は演算処理装置、2は主記憶装置である。演算処理装置1には、動的主記憶管理手段11、プロセス制御手段12および主記憶アクセス手段13が含まれ、主記憶アクセス手段13は論理アドレス変換手段14を有している。

演算処理装置1上で動作するソフトウェアから

アクセス可能な連続したアドレス空間である論理アドレス空間は、固定長の論理ページに分割されている。今、一つの論理ページのサイズがXであり分割数が「8」とすると、論理アドレス空間は $8 \times$ のサイズを持ち、例えば第2図に示すように各々がサイズXの8個の論理ページL#1～L#8で構成されることになる。

他方、主記憶装置2で構成される物理アドレス空間は、論理アドレス空間より大きなサイズを持ち、論理ページと同じサイズXの物理ページに分割されている。即ち、物理アドレス空間のサイズを $13X$ とすると、第2図に示すように物理アドレス空間は各々がサイズXの13個の物理ページP#1～P#13で構成されている。

第1図のプロセス制御手段12は上述のような物理アドレス空間上で複数のプロセスを並行して動作させる手段である。

また、主記憶アクセス手段13に含まれる論理アドレス変換手段14は、論理アドレス空間の論理ページと物理アドレス空間の物理ページとのマ

ッピング状況を第3図に示すような内部のアドレス変換テーブル141上に保持し、このマッピング状況を参照することにより、論理アドレスを物理アドレスに変換する手段である。今、第2図に示すように論理アドレス空間の各論理ページが物理アドレス空間の物理ページと以下のようにマッピングされている状況を想定する。

| | |
|------------|------------|
| L#1 → P#1 | L#2 → P#4 |
| L#3 → P#3 | L#4 → P#6 |
| L#5 → P#10 | L#6 → P#11 |
| L#7 → P#7 | L#8 → P#8 |

このとき論理アドレス変換手段14が持つアドレス変換テーブル141には、第3図に示すように各論理ページL#1～L#8がマッピングされた物理ページの先頭アドレス0, 3X, 2X, 5X, 9X, 10X, 6X, 7Xが記憶されている。このような状態でソフトウェアが論理ページL#1から順次に論理ページL#8までアクセスすることにより、第1図のプロセス制御手段12から逐次に論理アドレス情報16が主記憶アクセス手

段13に加えられると、論理アドレス変換手段14によるアドレス変換処理によって、物理ページP#1, P#4, P#3, P#6, P#10, P#11, P#7, P#8の順番で物理アドレス空間すなわち主記憶装置2がアクセスされることになる。このときの一つの論理アドレス情報16に着目して論理アドレス変換手段14の動作を第3図を参照して説明すると次のようになる。即ち、プロセス制御手段12から通知される論理アドレス情報16は論理ページ番号とページ内相対アドレスとで構成され、論理アドレス変換手段14はその論理ページ番号に対応してアドレス変換テーブル141に記憶された物理ページの先頭アドレスを読み出し、この読み出した先頭アドレスと論理アドレス情報16中のページ内相対アドレスとを加算することにより物理アドレス情報3を得るものである。

また、第1図の動的主記憶管理手段11は、プロセス制御手段12からの要求に応じて、プロセスに対する論理アドレス空間の解放、その反対の

論理アドレス空間の割り当て等の処理を行う手段であり、例えば第4図に示すような論理アドレス空間管理テーブル111を使って各論理ページの使用状況を管理し、また例えば第5図に示すような物理アドレス空間管理テーブル112を使って各物理ページの使用状況を管理している。なお、第4図において、使用・未使用フラグは論理ページがプロセスで使用されているとき「1」に、未使用のとき「0」にされる。また、第5図において、使用・未使用フラグは物理ページがプロセスで使用（プロセスの実行の為の使用および保存の為の使用を含む）されているとき「1」に、未使用のとき「0」にされ、マッピングフラグは物理ページが論理ページにマッピングされているとき「1」に、マッピングされていないとき「0」にされる。従って、使用・未使用フラグおよびマッピングフラグとも「1」の物理ページは、プロセスが格納されており且つ論理ページにマッピングされた物理ページであり、使用・未使用フラグが「1」でマッピングフラグが「0」の物理ページ

は、論理ページにマッピングされていないがプロセスを保存している物理ページであり、使用・未使用フラグおよびマッピングフラグとも「0」の物理ページはプロセスを保存せず且つ論理ページにもマッピングされていない物理ページである。

次に本発明の実施例の動作を、例えば第4図の論理アドレス空間管理テーブル111に示すように論理ページL#6, L#7に存在するプロセスAを論理アドレス空間から解放し、その後この解放したプロセスAに再び論理アドレス空間を割り当てる場合を例にして以下説明する。

第1図に示す電子計算機システムの動作中に、プロセスAが何らかの事象待ちとなり、論理アドレス空間上に存在する必要がなくなったことがプロセス制御手段12で検出されると、制御信号17によってプロセスAの論理アドレス空間からの排除可能の通知が動的主記憶管理手段11に出される。

制御信号17によってプロセスAを論理アドレス空間上から排除可能の通知を受けた動的主記憶

管理手段11は、次の処理を実行することにより、プロセスAを論理アドレス空間から排除し、元の物理ページ上に保存する。

- ①第4図の論理アドレス空間管理テーブル111からプロセスAに対応する論理ページL#6, L#7を認識し、そのページ数「2」を得る。
- ②第5図の物理アドレス空間管理テーブル112をサーチし、物理アドレス空間上で論理アドレス空間に割り当てられていない物理ページであって且つ他のプロセスが保存されていない物理ページをプロセスAのページ数分見つける。これにより例えば第5図に示す物理ページP#2, P#5が見つけられる。
- ③第4図の論理アドレス空間管理テーブル111の論理ページL#6, L#7に対応する使用・未使用フラグを「0」にすると共に、論理ページL#6, L#7を物理ページP#2, P#5にマッピングするようにページ切り替え信号15によって論理アドレス変換手段14に通知する。これに応じて論理アドレス変換手段14は、第3図のア

ドレス変換テーブル141における論理ページL#6対応の物理ページ先頭アドレスを10XからXに変更し、論理ページL#7対応の物理ページ先頭アドレスを6Xから4Xに変更する。これによって、もはやプロセスAはソフトウェアから見えなくなり、論理アドレス空間から削除されたことになる。

④第5図の物理アドレス空間管理テーブル112の物理ページP#11, P#7に対応するマッピングフラグを「0」にすることにより、プロセスAが物理ページP#11, P#7に保存されたことを記録する。

⑤プロセスAを論理アドレス空間から排除し終えたことを制御信号17によってプロセス制御手段12に通知する。

次に、プロセスAの事象待ちが解け、プロセスAを論理アドレス空間上にロードする必要が生じた場合、プロセス制御手段12は制御信号17によって動的主記憶管理手段11に対しプロセスAを論理アドレス空間に展開するように要求する。

制御信号17によってプロセスAを論理アドレス空間上に展開する要求を受けた動的主記憶管理手段11は、次の処理を行うことにより、その展開を実行する。

- ⑥第5図の物理アドレス空間管理テーブル112をサーチし、プロセスAが保存されている物理ページP#11, P#7を認識する。
- ⑦第4図の論理アドレス空間管理テーブル111をサーチし、論理アドレス空間上の未使用の連続する2ページ分の論理ページを見つける。このとき、たとえば論理ページL#4, L#5が未使用的論理ページであったとすると、それが見つけられる。
- ⑧未使用的論理ページL#4, L#5が見つかること、この論理ページL#4, L#5にプロセスAが保存されている物理ページP#11, P#7を割り当てるようページ切り替え信号15によって論理アドレス変換手段14に通知する。これに応じて論理アドレス変換手段14は、第3図のアドレス変換テーブル141における論理ページL

#4 対応の物理ページ先頭アドレスに10Xを設定し、論理ページL#5対応の物理ページ先頭アドレスに6Xを設定する。これによって、プロセスAはソフトウェアからアクセス可能となる。

⑨第4図の論理アドレス空間管理テーブル111の論理ページL#4, L#5の使用・未使用フラグを「1」にし、プロセス名に「A」を設定すると共に、第5図の物理アドレス空間管理テーブル112の物理ページP#11, P#7のマッピングフラグを「1」にする。

⑩プロセスAを論理アドレス空間に展開し終えたことを制御信号17によってプロセス制御手段12に通知する。これによってプロセス制御手段12は、プロセスAの実行を再開する。

以上、本発明の実施例について説明したが、本発明は以上の実施例にのみ限定されずその他各種の付加変更が可能である。例えば、論理アドレス空間上から取るプロセスを排除すると同時に別のプロセスをその排除されたプロセスが占めていた論理ページに展開する処理を同時に実行するよう

にしても良い。

【発明の効果】

以上説明したように、本発明の電子計算機システムにおける主記憶管理方式においては、論理アドレス空間より大きなサイズを持つ物理アドレス空間を扱うことができ、論理ページにマッピングされていない物理ページをプロセスの保存用に使用するようにしたので、外部記憶装置にプロセスを保存していた従来方式に比べ、プロセス入れ替え時等のオーバーヘッドを極めて小さくでき、電子計算機システムの性能を高めることが可能となる。

4. 図面の簡単な説明

第1図は本発明の主記憶管理方式を適用した電子計算機システムの要部ブロック図。

第2図は論理アドレス空間と物理アドレス空間との構成例およびそのマッピング例を示す図。

第3図は論理アドレス変換手段14の説明図。

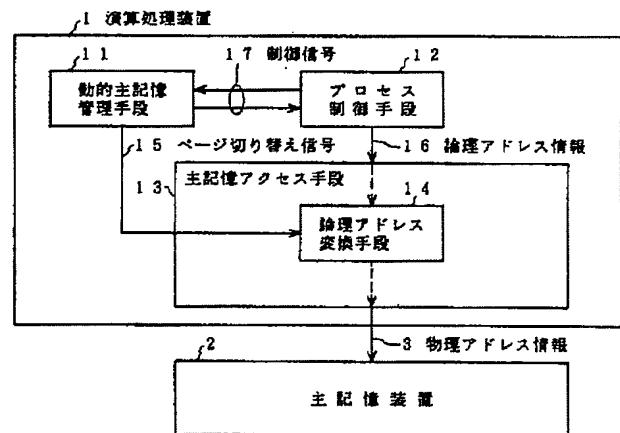
第4図は動的主記憶管理手段11が有する論理アドレス空間管理テーブル111の一例を示す図

および、

第5図は動的主記憶管理手段11が有する物理アドレス空間管理テーブル112の一例を示す図である。

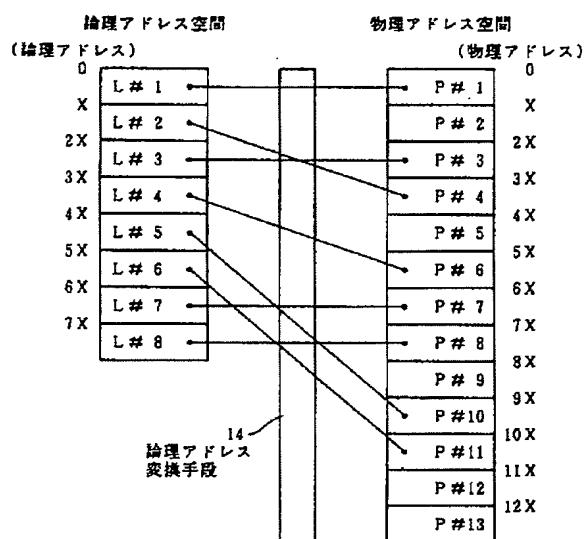
図において、

- 1 … 演算処理装置
- 2 … 主記憶装置
- 3 … 物理アドレス情報
- 11 … 動的主記憶管理手段
- 12 … プロセス制御手段
- 13 … 主記憶アクセス手段
- 14 … 論理アドレス変換手段
- 15 … ページ切り替え信号
- 16 … 物理アドレス情報
- 17 … 制御信号
- L#1 ~ L#8 … 論理ページ
- P#1 ~ P#13 … 物理ページ

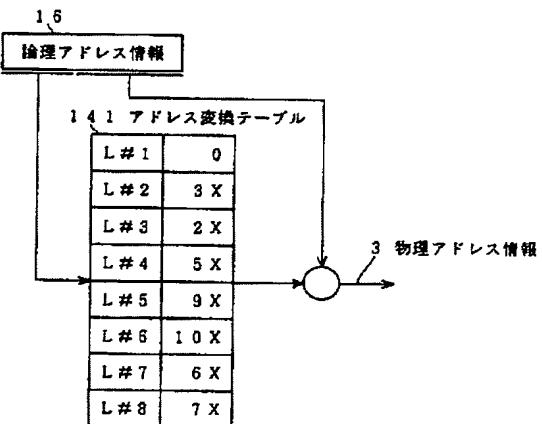


本発明を適用した電子計算機システムの要部ブロック図

第1図

論理アドレス空間と物理アドレス空間の構成例
及びそのマッピング例を示す図

第2図



論理アドレス変換手段の説明図

第3図

| 論理ページ番号 | 使用・未使用フラグ | プロセス名 |
|---------|-----------|-------|
| L#1 | 1 | B |
| L#2 | 1 | B |
| L#3 | 1 | B |
| L#4 | 1 | C |
| L#5 | 1 | C |
| L#6 | 1 | A |
| L#7 | 1 | A |
| L#8 | 1 | D |

論理アドレス空間管理テーブルの構成例を示す図

第4図

| 物理ページ番号 | 使用・未使用フラグ | マッピングフラグ | プロセス名 |
|---------|-----------|----------|-------|
| P#1 | 1 | 1 | B |
| P#2 | 0 | 0 | - |
| P#3 | 1 | 1 | B |
| P#4 | 1 | 1 | B |
| P#5 | 0 | 0 | - |
| P#6 | 1 | 1 | C |
| P#7 | 1 | 1 | A |
| P#8 | 1 | 1 | D |
| P#9 | 0 | 0 | - |
| P#10 | 1 | 1 | C |
| P#11 | 1 | 1 | A |
| P#12 | 1 | 0 | E |
| P#13 | 1 | 0 | E |

物理アドレス空間管理テーブルの構成例を示す図

第5図